

Гриншпун Дмитрий Михайлович,
Новиков Василий Викторович

ВИРТУАЛЬНЫЙ ЛАБОРАТОРНЫЙ КОМПЛЕКС ПО ФИЗИЧЕСКИМ ОСНОВАМ ЦИФРОВОЙ ЭЛЕКТРОНИКИ. ЛОГИЧЕСКИЙ ЭЛЕМЕНТ «И-НЕ» В СХЕМОТЕХНИКЕ ТТЛ

Настоящая статья представляет пятую из шести виртуальных лабораторных моделей электронных устройств, предназначенных для изучения физических основ цифровой электроники – логический элемент «И-НЕ» в схемотехнике ТТЛ. Схема изучаемого устройства представлена на рис. 1.

Как было написано ранее, устройства схемотехники ТТЛ состоят из трех функциональных узлов: приемника входных сигналов (№ 1 на рис. 1), узла преобразования (№ 2 на рис. 1) и формирователя выходного сигнала (№ 3 на рис. 1). Нагрузки имитируют резисторы $R_{н1}$ и $R_{н2}$. Элемент «И-НЕ»

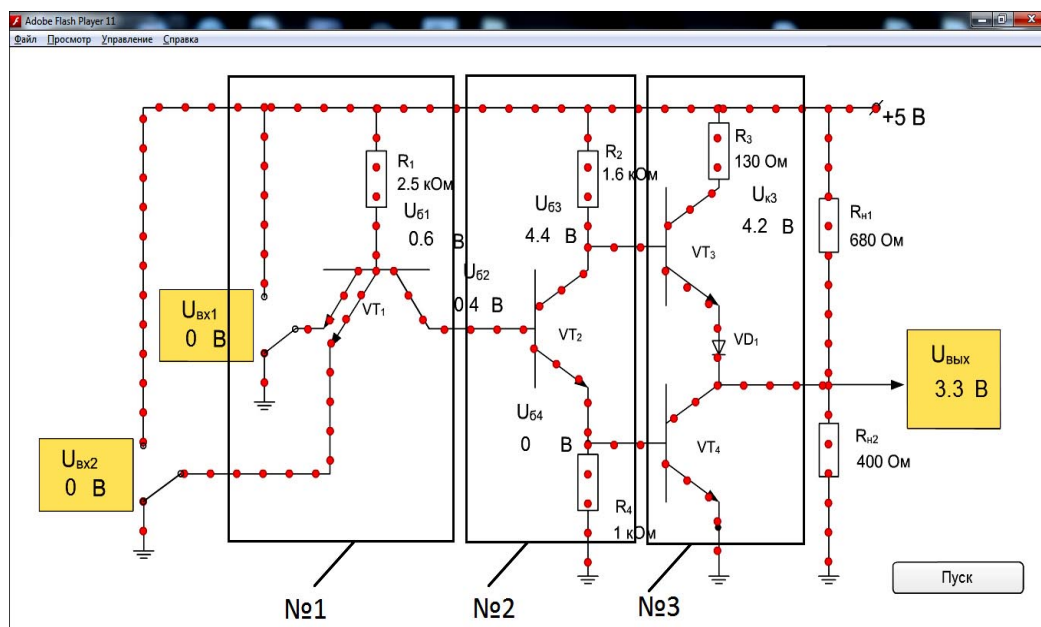


Рис. 1. Схема логического элемента «И-НЕ»



...логический элемент «И-НЕ»

имеет два (и более) входов, что приводит к использованию в приемнике входных сигналов двух- (и более) эмиттерного биполярного транзистора, эквивалентная схема которого представляет собой несколько биполярных транзисторов с объединенными базами и коллекторами (рис. 2).

Несмотря на четыре возможных комбинации входных логических сигналов, рассмотрение вариантов работы устройства имеет смысл только для трех, так как комбинации $U_{вх1} = \langle 0 \rangle$, $U_{вх2} = \langle 1 \rangle$ и $U_{вх1} = \langle 1 \rangle$, $U_{вх2} = \langle 0 \rangle$ являются симметричными.

$$1. U_{вх1} = \langle 0 \rangle, U_{вх2} = \langle 0 \rangle$$

При подаче двух нулей в качестве входных сигналов (см. рис. 1) оба транзистора, входящие в состав многоэмиттерного транзистора VT1, переходят в режим насыщения, что приводит к формированию на коллекторе VT1 напряжения 0,4 В. Далее, как и в случае подачи $\langle 0 \rangle$ на вход устройства «НЕ», транзисторы VT2, и VT4 переходят в режим отсечки. Весь ток, протекающий через резистор R_2 , поступает в базу транзистора VT3,

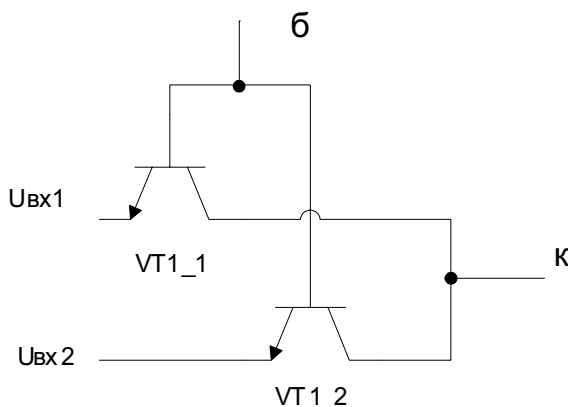


Рис. 2. Устройство двухэмиттерного биполярного транзистора

который переходит в режим насыщения. При этом напряжение на его базе составляет 4,5 В. Таким образом, учитывая падение напряжения на база-эмиттерном переходе и на диоде VD1, выходное напряжение составляет $4,5 - 0,6 - 0,6 = 3,3$ (В), что соответствует значению логической «1» ТТЛ.

$$2. U_{вх1} = \langle 0 \rangle, U_{вх2} = \langle 1 \rangle$$

Транзистор VT1_1 (см. рис. 2) переходит в режим насыщения, а VT1_2 в режим отсечки, то есть VT1_2 как бы «отключается». На коллекторе VT1 формируется напряжение 0,4 В. Последующий расчет схемы аналогичен предыдущему режиму. Следовательно, на выходе формируется напряжение 3,3 В, то есть логическая «1».

$$3. U_{вх1} = \langle 1 \rangle, U_{вх2} = \langle 1 \rangle$$

При подаче двух единиц на вход схемы открываются база-коллекторные переходы транзисторов VT1_1 и VT1_2 (рис. 3), что переводит транзистор VT1 в инверсный режим.

Транзистор VT2 открывается и переходит в режим насыщения, разница напряжений между его коллектором и эмиттером составляет 0,4 В. VT4 также оказывается в насыщении. На базе VT3 формируется напряжение 1 В, недостаточное для открытия база-эмиттерного перехода и диода VD1, вследствие чего VT3 оказывается в режиме отсечки. Таким образом, учитывая, что VT4 находится в насыщении, выходное напряжение $U_{вых}$ составляет 0,4 В, что соответствует логическому «0». Иллюстрация этого состояния представлена на рис. 4.

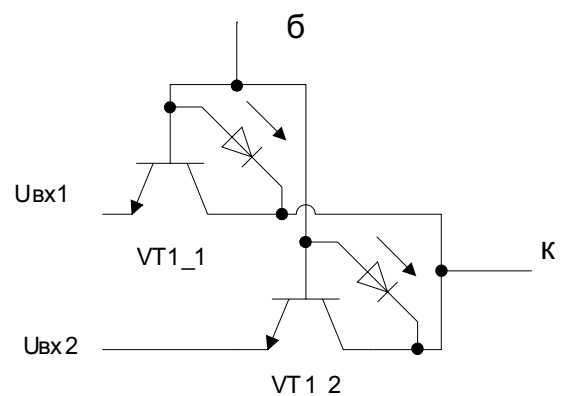


Рис. 3. Инверсный режим двухэмиттерного транзистора

Таким образом, представленная модель развивает представление об основных физических принципах работы логических элементов в схемотехнике ТТЛ. Как и представленные в предыдущих статьях модели, она может быть использована как в качестве сопроводительного материала на лекционных занятиях соответствующих дисциплин, так и в качестве средства про-

ведения лабораторных и практических работ.

Заинтересовавшихся читателей приглашаем к сотрудничеству по расширению номенклатуры виртуальных лабораторных моделей, а также внедрению их в учебный процесс образовательных учреждений. Обращаться по электронной почте – Новиков Василий Викторович novikov.vz@gmail.com

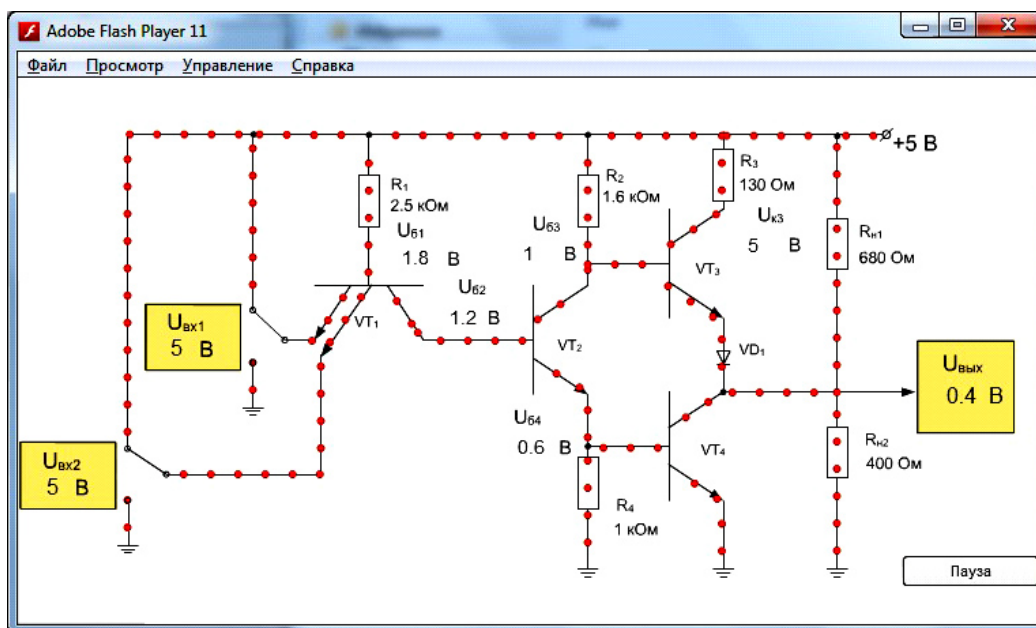


Рис. 4. Состояние схемы при $U_{вх1} = 1$, $U_{вх2} = 1$

*Гриншпун Дмитрий Михайлович,
декан факультета среднего
профессионального образования
НИУ ИТМО,*

*Новиков Василий Викторович,
студент (магистр) кафедры
интеллектуальных технологий
в гуманитарной сфере
естественнонаучного факультета
НИУ ИТМО.*



Наши авторы, 2012.
Our authors, 2012.